

利用 FPGA 和 USB 总线的视频图像的采集与处理系统设计

周剑波 巩宪锋 王长松 孙宏林

北京科技大学机械工程学院, 北京 100083

摘要 构建了以 FPGA 为核心芯片的高速图像采集与处理系统, 图形采集频率可达 13.5 MHz. 在该系统中, 采用了视频 A/D 芯片 SAA7111A 将电视信号转换成数字信号, 并由 FPGA 作为控制器将数字信号存入 SRAM 中, 以便进行处理, 提取有用数据; 系统还采用了 EZUSB2131Q 芯片来进行处理后的数据与 PC 机的传输.

关键词 视频图像; 信号处理; FPGA; VHDL; EZUSB; 视频 A/D

分类号 TP 391

传统的基于 ISA, PCI 等总线的图像采集卡已经应用非常广泛, 但速度慢、处理功能简单, 对于特殊要求往往需要后续处理部分. 因此, 本文构建了一种高速图像采集系统. 它主要由 FPGA (field programmable gate array)、视频 A/D 芯片 SAA7111A 以及 USB 总线构成. 该系统可以根据需要进行现场可编程, 具有通用性好、成本低等优点. 在 FPGA 中利用硬件描述语言 VHDL 编程实现. FPGA 可以在数据采集系统中取代单片机和 DSP 对数据采集过程进行控制.

PHILIP 公司的视频 A/D 芯片 SAA7111A 具有四路视频输入, 抗混滤波、梳状滤波都被集成到芯片内部, 带来了极大的方便, 但系统内部锁相环技术的集成使得可靠性和设计复杂度都有极大的降低.

CYPRESS 的 EZUSB2131QC 芯片是针对 USB 1.1 协议开发的, 兼容全速和低速传输, 功能高度集成化. 该芯片集成了一个增强型 8051 处理器、一个“智能型”串行接口引擎(SIE)、一个 USB 收发器、集成 I²C 总线控制器、片上 RAM 和 FIFO^[1].

1 图像采集与处理系统设计

系统由视频 A/D 芯片、FPGA 控制模块、数

据存储模块 SRAM、EZUSB 接口模块和 PC 机应用程序组成. FPGA 程序用 VHDL 语言编写. 整体框图如图 1 所示.

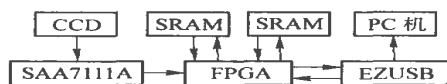


图 1 硬件系统结构框图

Fig. 1 Hardware system structure diagram

2 视频信号的 A/D 转换

SAA7111A 提供了 4 个模拟输入通道, 可以编程选择使用其中的一个或多个通道. 视频信号输入芯片后, 一路经过缓冲器从 AOUT 引脚输出, 这个信号作为视频监控信号, 以检测是否有视频信号输入; 另外一路信号经过模/数转换后产生数字色度信号和亮度信号, 分别进行亮度信号处理和色度信号处理. 亮度信号处理的结果, 一路送到色度信号处理器, 以进行综合处理, 产生灰度信号 Y 和 UV 信号, 格式化后从数据线 VPO[15: 00] 输出, 其中高 8 位为 Y、低 8 位为 UV; 另一路进入同步分离器, 经过 PLL 产生相应的行同步信号 HS 和场同步信号 VS, 同时数字 PLL 驱动时钟发生器模块, 从而产生视频信号工作频率为 27 MHz 的 LLC 和 13.5 MHz 的 LLC2 时钟信号^[2].

SAA7111A 正常工作需要对内部 32 个寄存器正确配置, 通过 I²C 总线由 EZUSB AN2131Q 写入 SAA7111A 的内部寄存器.

收稿日期: 2005-07-16 修回日期: 2005-09-07

基金项目: 国家高技术研究“863 计划”资助项目 (No. 2003AA312100)

作者简介: 周剑波(1981—), 男, 硕士研究生; 王长松(1948—), 男, 教授, 博士

3 FPGA 控制模块

经过对系统功能的分析和划分, 可以将设计划分为若干个子模块. 每个子模块通过内部握手信号相互关联并完成相对独立的功能. 最后将子模块组合起来就能得到系统级的功能芯片. 将 FPGA 划分为以下几个功能子模块: 输入信号缓

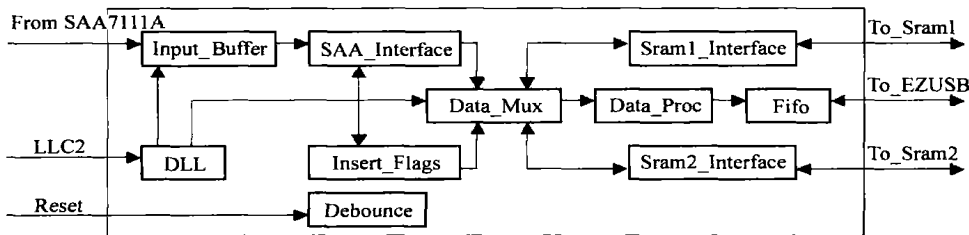


图2 FPGA 内部结构框图

Fig.2 FPGA inside structure diagram

3.1 SAA-INTERFACE 模块

SAA-INTERFACE 模块的主要功能是接收来自 SAA7111A 的数据信号和状态信号, 实现 FPGA 与视频 A/D 芯片 SAA7111A 的接口, 并根据这些信号产生相应像素灰度信息的存储地址, 在时钟信号 LLC2 的控制下, 完成数据在 SRAM 中的存储写入地址和读出地址及对两片 SRAM 进行乒乓操作的指示信号的生成.

分析 SAA7111A 输出的状态信号的时序图, 可以分析得到以下结论:

(1) 每行图像共有 864 个像素, 其中 0~719 为有效像素、720~863 为水平消隐阶段, 在消隐期间的像素为无效像素^[2].

(2) 每行图像起始条件是: 场参考信号 VREF 为逻辑‘1’时, HREF 产生一个上升沿. 每行图像结束条件是: HREF 信号的出现下降沿. 当 VREF 为逻辑‘0’状态时, 处于场消隐阶段, 此时为无效图像^[2].

(3) 每帧图像起始的条件是: RTS⁰ 为逻辑‘1’期间, VREF 产生一个上升沿. 而每帧图像结束的条件是: RTS⁰ 为逻辑‘0’期间, VREF 产生一个下降沿^[2].

由于复合视频信号 CVBS 是由隔行扫描的方式得到的, 而计算机显示器是逐行扫描来显示图像的, 所以写入 SRAM 的数据必须隔行写入, 而读出 SRAM 的数据必须逐行读出. 读取 SRAM 时, 由于奇偶场已经“隔行”写入 SRAM 中, 所以只需要逐行顺序读取即可.

3.2 SRAM-INTERFACE 模块

冲模块、消除抖动模块、SAA7111A 接口模块、SRAM 接口模块、实时插入结束标识模块、缓冲模块 FIFO、多路选择器 DATA-MUX、数据处理模块 DATA-Proc 等几个部分, 如图 2 所示. 模块之间通过中间信号进行通讯, 从而实现数据的传输和控制.

接口模块 SRAM-INTERFACE 的主要功能是完成与 SRAM 存储器的接口工作. 由于采用了两片 SRAM, 所以 FPGA 中的 SRAM 接口模块也应该有两个, 该模块根据当前状态做出判断, 从而对 SRAM 发出相应的控制信号和地址信号, 完成数据的写入和读出工作.

3.3 INSERT-FLAGS 模块

为了在上位机显示所采集到的图像, 除了需要相应的像素信息外, 还必须提供行同步信号和场同步信号. 本系统没有另外提供专门的行同步信号、帧同步信号, 而是通过在恰当的时刻插入标识数据的方法来代替视频流的行同步信号和帧同步信号.

INSERT-FLAGS 模块将在行结束时, 将自定义的行结束标识插入到数据流中; 在帧结束时, 将帧结束标识插入到视频流中, 从而为上位机实现对图像信息的再现和处理创造了方便条件.

3.4 DATA-MUX 模块

DATA-MUX 模块实现了对数据的流向的控制和数据处理工作. 它接收来自 SAA7111A 的原始数据 VPO 和实时插入的行、帧结束标识信号 VPO-FLAGS, 并产生最终的连续的含有场、帧结束标识的数据流 VPO-ALL, 并控制 VPO-ALL 的流向. 当 WR1RD2 为逻辑‘1’时, VPO-ALL 写入 SRAM1, 同时将已经存储到 SRAM2 的数据读出到 DATA-Proc 模块中; 当 WR1RD2 为逻辑‘0’时, VPO-ALL 的数据写入 SRAM2 中, 同时将 SRAM1 的数据读出到 DATA-Proc 模块中^[3].

3.5 DATA-Proc 数据处理模块

DATA-Proc 模块用于对采集的数据进行处理,根据项目要求,其工作主要是对信号进行滤波和边缘提取,从而提取有效数据,减少数据的传输量.为了减少工作量,采用了 Xilinx 公司的 SystemGenerator 软件来设计这部分模块^[4].

SystemGenerator 是 Xilinx 公司和 Mathworks 合作开发的 FPGA 辅助设计工具,只需在 Simulink 中完成模型的搭建,启动 SystemGenerator,就能自动生成 VHDL 源程序及其他一些工程文件,并将系统模型映射到目标器件 FPGA 上进行硬件实现^[5].

3.6 FIFO 模块

视频信号进入 FPGA 的时钟为 13.5 MHz,而 USB 接口芯片的时钟为 12 MHz,两者时钟速率不匹配.这就出现了异步时序设计问题.由于需要进行跨时钟领域的数据传输,必须在 FPGA 和 EZ-USB 之间加入缓冲数据单元.这个缓冲器一般由异步 First-In-First-Out (FIFO)实现.异步 FIFO 在每个写时钟时写入数据,而用每一个读时钟时读出数据,这两个时钟是异步的.

FIFO 的工作原理是:在写时钟的上升沿,当写允许有效时,将写数据总线上的数据写入双口 RAM 中写地址对应的存储单元中;而始终将读地址对应的双口 RAM 中的数据输出到读数据总线上,在读允许有效时,输出数据.

4 EZUSB 模块

在系统中,EZUSB2131 主要完成两方面的工作:完成对 SAA7111A 的配置和基于快速同步传输方式的数据传输.

为了使视频解码芯片 SAA7111A 正常工作,必须通过 I²C 总线对其内部的寄存器进行正确的配置.当通过 I²C 配置 SAA7111A 时,写入数据格式为:首先为起始信号,然后是 7 位的从机地址和方向位('0'表示写入 SAA7111A 寄存器,'1'表示读出相应寄存器)共 8 位数据,此时从机应该向主机发送一位响应信号.然后是从机中被写入的寄存器的地址和从机的响应信号,然后才是要写入子地址寄存器的数据,最后是结束信号.

USB 总线支持 4 种数据传输方式:控制传输、中断传输、等时传输和块传输. EZUSB 系列的 2131Q 支持快速等时传输方式,为了提高数据传输的速度,应用这种方式进行数据传输,能够使 FPGA 内部的 FIFO 模块直接与 EZUSB 内部的

数据总线通讯^[6].

为了使用快速同步方式传输数据,需对 2131 进行如下设置:

(1) 能使 SOF 中断,使 51 内核能接受 SOF 中断,从而保证 1 ms 传输一帧数据.

(2) 本系统使用了等时传输 IN⁸ 端点,所以须设置 INISOVAL 为"00000001".

(3) 设置 IN⁸ 端点将使用的等时 FIFO 的大小.为了加快数据传输的速度,这里设置该 FIFO 的大小为 1024.

(4) 设置寄存器 PORTACFG,设置 PA 口第 4 位和第 5 位复用功能.其复用功能是快速等时传输的 FRD 和 FWR 信号.

(5) 设置寄存器 FASTXFR,使能快速等时传输方式,设置 nFRD 低电平有效,并且设置了 nFRD 的宽度和相位.

为了响应 SOF 中断,需要在中断响应函数 ISR-Sof()中编写数据处理程序,将数据传送到内部寄存器 IN⁸DATA,另一方面清除 SOF 中断请求和 USB 中断请求,以便程序能对下一个 SOF 做出正确的响应.

5 PC 机应用程序

EZUSB 通用驱动程序 GPD(general purpose driver)用来和 EZUSB 外设接口的通用设备驱动程序,为应用程序访问 EZUSB 硬件提供了途径. EZUSB 开发包提供了默认的驱动程序文件 EZUSB.SYS^[7].

对于应用程序而言,调用 CreateFile()来打开设备并取得访问设备驱动程序的句柄.用户程序使用函数 DeviceIoControl()来提交控制码,并为 CreateFile()函数返回的设备句柄设置 I/O 缓冲区.

连接到主机的 EZUSB 设备,GPD 为其创建一个链接符.调用函数 CreateFile(),实质上就是获取驱动程序产生的目标设备句柄. EZUSB 开发包中提供了 I/O 控制码,使用这些 I/O 控制码能非常方便地实现 USB 通讯.当使用快速传输方式时,需要将 IOCTL-EZUSB-START-ISO-STREAM, IOCTL-EZUSB-READ-ISO-BUFFER, IOCTL-EZUSB-STOP-ISO-STREAM 等控制码提供给函数 DeviceIoControl(),从而实现开启等时传输、读取等时传输数据、停止等时传输等功能.

6 结论

系统采用 FPGA 作为采集处理部分, 可以提高系统处理的速度, 大大增强系统的灵活性和适应性. 具体表现为:

(1) 系统性能得到大大提高. 由于采用双 SRAM 作为数据交换区, FPGA 采用乒乓技术传输数据, 提高了传输的速度.

(2) 系统的适应性与灵活性强. 由于采用 FPGA 可编程逻辑器件采集与处理数据, 对于不同的视频图像信号, 只要对 FPGA 逻辑稍作修改, 便可实现信号采集.

(3) 设计结构简单, 调试方便. FPGA 的外围硬件电路简单, 在硬件设计中, 可以大大地减小硬件设计的复杂程度.

FPGA 技术和 USB 的组合, 数据处理能力得到了极大的提高, 且有利于系统升级. 本设计用

于传输当前处理后的数据量已经足够, 采用 EZUSB2131 芯片已经可以完成. 如果需要传输更大数据量, 可以采用 CPYRESS 公司 USB2.0 芯片 cy7c68013 代替. 该实例还可应用于实时数据采集、音频及压缩视频数据传输等领域.

参 考 文 献

- [1] EZ-USB Manual Technical Reference. Cypress, 2000
- [2] Data Sheet of SAA7111A. Philips, 1998
- [3] 牛风举, 刘元成, 朱明程. 基于 IP 复用的数字 IC 设计技术. 北京: 电子工业出版社, 2003: 41
- [4] 孙航. Xilinx 可编程逻辑器件的高级应用与设计技巧. 北京: 电子工业出版社, 2004
- [5] 王诚, 薛小刚, 钟信潮. FPGA/CPLD 设计工具——Xilinx ISE 使用详解. 北京: 人民邮电出版社, 2005
- [6] 马伟. 计算机 USB 系统原理及其主/从机设计. 北京: 北京航空航天大学出版社, 2004
- [7] 颜荣江. EZ-USB 2100 系列单片机原理、编程及应用. 北京: 北京航空航天大学出版社, 2002

Design of an image sampling and processing system based on FPGA and USB bus

ZHOU Jianbo, GONG Xianfeng, WANG Changsong, SUN Honglin

Mechanical Engineering School, University of Science and Technology Beijing, Beijing 100083, China

ABSTRACT This paper designed a high-speed image sampling and processing system based on FPGA, whose image-sampling frequency was 13.5 MHz. In the system the video A/D chip SAA7111A was employed to convert video data into digital signal, and the digital signal was stored in RAM by FPGA for next processing to obtain the useful data. In addition, the EZUSB2131Q chip was used to transmit the processed data between PC and FPGA.

KEY WORDS video image; signal processing; FPGA; VHDL; EZUSB; video A/D